

⑨ 日本国特許庁(JP)

⑩ 特許出願公告

## ⑫ 特 許 公 報 (B 2) 平3-81324

⑮ Int. Cl. 3

識別記号

庁内整理番号

⑭ 公告 平成3年(1991)12月27日

H 03 F 3/16  
H 03 K 5/24  
17/687B 8326-5 J  
7125-5 J

8221-5 J H 03 K 17/687

Z

発明の数 1 (全10頁)

⑬ 発明の名称 増幅回路

審 判 昭62-15870

⑯ 特 願 昭57-29938

⑰ 公 開 昭58-147209

⑱ 出 願 昭57(1982)2月26日

⑲ 昭58(1983)9月2日

⑳ 発 明 者 増 田 英 司 神奈川県川崎市幸区小向東芝町1番地 東京芝浦電気株式会社トランジスタ工場内

㉑ 発 明 者 松 尾 研 二 神奈川県川崎市幸区小向東芝町1番地 東京芝浦電気株式会社トランジスタ工場内

㉒ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

審判の合議体 審判長 野村 泰久 審判官 今野 朗 審判官 真鍋 深

㉔ 参 考 文 献 特開 昭56-141617 (JP, A) 特開 昭53-121563 (JP, A)

特開 昭55-39605 (JP, A) 特開 昭56-140719 (JP, A)

特開 昭54-148349 (JP, A)

1

## ㉕ 特許請求の範囲

1 互いに異なるチャネルのMOSFETからなる相補型MOSインバータで構成された反転増幅手段と、

この反転増幅手段の入出力端間を短絡することによりこの反転増幅手段の動作点を設定する少なくとも一つのMOSFETからなるMOSスイッチと、

上記MOSスイッチを構成するMOSFETと同一極性のMOSFETを含み入出力端間が短絡された反転回路からなり、その出力電圧が上記MOSスイッチを構成するMOSFETのバックゲート電極に供給されるバイアス発生回路とを具備したことを特徴とする増幅回路。

## 発明の詳細な説明

〔発明の技術分野〕

この発明はいわゆるチョツパ形あるいはオートゼロサンプルドデータ形と呼ばれる電圧比較回路に用いられる増幅回路の改良に関する。

〔発明の技術的背景とその問題点〕

集積化されたアナログーデジタル変換回路等

2

のアナログICの発展に伴ない、これらICに内蔵される電圧比較回路としても高性能のものが要求される。この電圧比較回路に特に要求される特性としては、高速応答性、オフセットレスおよび高分解能の3つがあり、これらの特性は相互に関連している。

第1図はMOS FETにより構成されたチョツパ形あるいはオートゼロサンプルドデータ形電圧比較回路に用いられる、従来の増幅回路の構成図である。この増幅回路はPチャネルMOS FET 11とNチャネルMOS FET 12とからなるC-MOSインバータ13の入力端および出力端間を、NチャネルMOS FET 14を用いたMOS FETスイッチ回路15で接続し、さらにC-MOSインバータ13の入力端側には結合容量16を設けるようにしたものである。そして上記容量16の入力端には入力信号INが供給されるようになっているとともに、C-MOSインバータ13からは出力信号OUTが出力されるようになっている。また、上記MOS FETスイッチ回路15を構成するNチャネルMOS FET 14のゲ

(2)

特公平3-81324

3

4

ート電極には、このMOS FET 14をスイッチ制御するための信号Sが供給されるようになっていて、さらにこのMOS FET 14のバックゲート電極にはこの増幅回路に供給される電源電圧 $V_{DD}$ (正極性電圧)、接地電圧 $V_{SS}$ (基準電圧)のうち一方の電圧 $V_{SS}$ が供給されるようになっている。このような構成でなる増幅回路では、まず、MOS FET 14のゲート電極に供給される制御信号Sが $V_{DD}$ レベルに設定されることによつてこのMOS FET 14がオンされる。MOS FET 14がオンされることによりC-MOSインバータ13の入出力端電圧がその回路しきい値電圧に設定され、これによつてC-MOSインバータ13の動作点が設定される。次に、信号Sが $V_{SS}$ レベルに設定されることによつてMOS FET 14がオフされ、この状態で入力信号INがC-MOSインバータ13で増幅される。このような増幅回路は回路構成が簡単であり、しかも集積化するのに適しているので、基本的な増幅回路ユニットとして広い応用範囲を有している。また、この原理に基づく電圧比較回路をアナログ-デジタル変換回路に応用した例としては、たとえば「Monolithic Expandable 6 Bit 20 MHz CMOS/SOS A/D Converter」ANDREW G. F. DINGWALL, IEEE J. Solid - State Circuit, vol SC-14, 926~932頁、Dec.1979」を参照されたい。

上記文献に記載されているアナログ-デジタル変換回路では高速変換特性が要求され、したがつて最も動作速度が遅い回路部分の一つである前記第1図に示すような増幅回路の動作速度が問題となつてくる。すなわち、上記アナログ-デジタル変換回路に高速変換特性を持たせようとするならば、前記増幅回路内のMOSFETスイッチ回路15をオンさせてC-MOSインバータ13の動作点が安定するまでの時間を短くする必要がある。ところが、従来の技術では、前記MOS FETスイッチ回路15は単にMOS FET 14をトランスゲートとして用いているだけなので、そのバックゲート電極には接地電圧 $V_{SS}$ が供給されている。このため、入力信号INの電圧が高くなると、いわゆるバックゲートバイアス効果の影響によつて、MOS FET 14のオン抵抗が高くなり、したがつて、C-MOSインバータ13が動

作点に設定されるまでの時間が長くなるという欠点がある。また、MOS FETのしきい値電圧は製造プロセス上ばらつきを生じるので、従来技術においてしきい値電圧が絶対値で高い方にばらつくと、前記MOS FET 14のオン抵抗も高くなり、したがつて、この場合にもC-MOSインバータ13が動作点に設定されるまでの時間が長くなる欠点がある。

ところで上記欠点を排除するための他の従来技術では、MOS FETスイッチ回路15を構成するMOS FET 14のオン抵抗を下げるためにそのチャネル幅を増加することが行なわれている。しかしながら、前記MOS FETスイッチ回路15を構成するMOS FET 14では、ゲート電極とソース電極およびドレイン電極との間に発生する寄生容量を介して、そのソース、ドレイン側に制御信号Sのフィードスルー現象による漏れが起こり、これによつてC-MOSインバータ13の入出力端両側にオフセット電圧を生ぜしめるものであるが、MOS FET 14のチャネル幅を増加すると上記寄生容量の値も増加し、この結果、上記オフセット電圧も増加することになる。したがつて、MOS FET 14のチャネル幅を増加させるという従来技術では、チョツパ形あるいはオートゼロサンプルドデータ形電圧比較回路としての最も重要な特性の一つであるオフセットレス特性が損なわれる。したがつて、この種の用途に用いられる前記MOS FET 14のチャネル幅すなわち素子寸法はできるだけ小さくすることが好ましい。

一方、前記MOS FET 14の素子寸法を最小にして実際に製造した場合、ゲート電極に供給される制御信号Sの $V_{DD}$ レベルが5Vの時、オン抵抗は10k $\Omega$ ないし100k $\Omega$ に達するのが通常であり、特に前記C-MOSインバータ13の動作点電圧が2.5V程度の場合のオン抵抗は高くなり、100k $\Omega$ 近辺にまで達することもまれではない。したがつて、前記MOS FET 14の素子寸法を最小にすると、動作点設定に要する時間が長くなり、高速動作を実現することはできない。さらに前記したようにMOS FETのしきい値電圧は製造プロセス上 $\pm 0.3V$ 程度ばらつき、特にNチャネルMOS FETの場合にはしきい値電圧が高い方向にばらつくと、上記オン抵抗はさらに増大するこ

(3)

特公平3-81324

5

6

とになる。たとえば、第2図は、チャネル幅Wとチャネル長Lとの比W/Lがマスク上で6/7のNチャネルMOS FETのゲート電極に5.0Vの電圧を供給した場合の、入力電圧（ソース電極あるいはドレイン電極への供給電圧）対オン抵抗の特性図である。第2図において、しきい値電圧 $V_{th} = 1.0V$ で入力電圧が2.5Vの時のオン抵抗は約28k $\Omega$ であり、入力電圧が2.5Vの時にしきい値電圧 $V_{th}$ が低い方へ0.3Vずれるとオン抵抗は19k $\Omega$ 、高い方へ0.3Vずれると65k $\Omega$ となる。すなわち、しきい値電圧が同じ値だけばらついた場合、低い方へばらつくよりも高い方へばらつく方がオン抵抗の増加の割合が大きいことがわかる。

〔発明の目的〕

したがって、この発明の目的は、反転増幅手段の動作点設定を速やかに行なうことができ、もって高速動作が可能な増幅回路を提供することにある。

〔発明の概要〕

この発明に係る増幅回路では、C-MOSインバータの入力端および出力端間をNチャネルMOS FETを用いたMOS FETスイッチ回路で接続し、さらに上記NチャネルMOS FETのバックゲート電極に電源電圧と基準電圧との間の値を持つバイアス電圧を供給するバイアス発生回路を設けることによって、上記MOS FETの見かけ上のしきい値電圧を低くし、これによってMOS FETスイッチ回路におけるオン抵抗を低く保ち、C-MOSインバータの動作点の設定を速やかに行なって高速動作を可能とするようにしたものである。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説明する。第3図はこの発明の一実施例回路の構成図であり、前記第1図の従来回路と対応する箇所には同一符号を付する。図においてPチャネルMOS FET 11とNチャネルMOS FET 12とでC-MOSインバータ（反転増幅手段）13を構成し、このインバータ13の入力端および出力端間をNチャネルMOS FET（MOSスイッチ）14で接続し、さらにC-MOSインバータ13の入力端側には結合容量16を設ける。そして上記容量16の入力端には入力信号INが供給されるようになっているとともに、C-MOSインバー

タ13からは出力信号OUTが出力されるようになっている。また、上記NチャネルMOS FET 14のゲート電極には、このMOS FET 14をスイッチ制御するための信号Sが供給されるようになっている。さらに上記C-MOSインバータ13に与えられる電源電圧 $V_{DD}$ 、接地電圧 $V_{SS}$ をそれぞれの印加点間にPチャネルMOS FET 21とNチャネルMOS FET 22のソース、ドレイン間を直列接続し、両FETのドレイン共通接続点をバイアス電圧出力端23としてさらにこのバイアス電圧出力端23にPチャネルMOS FET 21とNチャネルMOS FET 22の両ゲート電極を接続してバイアス発生回路24を構成する。また、上記バイアス発生回路24のバイアス電圧出力端23を上記NチャネルMOS FET 14のバックゲート電極に接続する。

すなわち、第3図に示す実施例回路は、C-MOSインバータ13の入出力端間をMOSスイッチとしてのNチャネルMOS FET 14で接続し、このMOS FET 14のバックゲート電極にバイアス発生回路24からの接地電圧 $V_{SS}$ 以上のバイアス電圧を常に供給するようにしたものである。

上記構成でなる実施例回路において、バイアス発生回路24はC-MOSインバータの入出力端間を短絡した如き回路構成となつているため、そのバイアス電圧出力端23における電圧は、次の(1)式で表わせるC-MOSインバータとしての回路しきい値電圧 $V_{thc}$ に等しい。

$$V_{thc} = \frac{V_{thN} + \sqrt{K_P/K_N}(V_{DD} - |V_{thP}|)}{1 + \sqrt{K_P/K_N}} \quad \dots(1)$$

ここで、

$V_{thP}$ : PチャネルMOS FET 21のしきい値電

圧

$V_{thN}$ : NチャネルMOS FET 22のしきい値電

圧

であり、さらに $K_P$ 、 $K_N$ はPチャネルMOS FET 21およびNチャネルMOS FET 22のドレイン電流 $I_{DS}$ の係数で、

$$K_P = \frac{1}{2} \cdot \frac{W_P}{L_P} \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \mu_P \quad \dots\dots(2)$$

$$K_N = \frac{1}{2} \cdot \frac{W_N}{L_N} \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \mu_N \quad \dots\dots(3)$$

(4)

特公平3-81324

7

8

である、またここで、

$W_P, W_N$ : PチャネルMOS FET 2 1およびNチャネルMOS FET 2 2の各チャネル幅

$L_P, L_N$ : PチャネルMOS FET 2 1およびNチャネルMOS FET 2 2の各チャネル長

$t_{ox}$ : ゲート絶縁膜の厚さ

$\epsilon_{ox}$ : ゲート絶縁膜の誘電率

$\mu_p, \mu_n$ : 正孔および電子の各実効移動度

である。

上記(1)~(3)式から明らかなように、C-MOSインバータとしての回路しきい値電圧 $V_{thc}$ 、すなわちバイアス発生回路2 4のバイアス電圧出力端2 3の電圧として、PチャネルMOS FET 2 1およびNチャネルMOS FET 2 2のチャネル幅、チャネル長の設定によつて、 $V_{DD}$ と $V_{SS}$ の間の値を持つ電圧を得ることができる。すなわち、MOSスイッチとしてのNチャネルMOS FET 1 4のバックゲート電極には $V_{SS}$ 以上のバイアス電圧が供給され、これによつてこのMOS FET 1 4の見かけ上のしきい値電圧は従来よりも低下することになり、したがつて、このMOS FET 1 4のオン抵抗は従来よりも十分に低い値とすることができる。

ところで、上記MOS FET 1 4のバックゲート電極に供給される電圧は、オン抵抗のみを考えれば高ければ高い程好ましく、 $V_{DD}$ そのものの値に設定すればよいが、反面消費電流の点で問題が生じる。これはMOSスイッチとして用いられるNチャネルMOS FET 1 4のバックゲート電極とソース電極およびドレイン電極それぞれの間には、バックゲート電極側をP導電型層とするPN接合が構造上発生し、いまMOS FET 1 4のバックゲート電極に $V_{DD}$ そのものを供給すると、バックゲート電極からソース電極あるいはドレイン電極に向つて流れる電流が常に生じることになつて消費電流が極めて大きくなつてしまう。したがつて、上記NチャネルMOS FET 1 4のバックゲート電極に供給されるバイアス電圧は、消費電流を考慮して、 $V_{DD}$ と $V_{SS}$ との間の値を持つ電圧に設定する必要がある。

さらに第3図に示す回路を集積化する場合、MOSスイッチであるNチャネルMOS FET 1 4とバイアス発生回路2 4内のNチャネルMOS FET 2 2は同一プロセスで製造されるため、そ

れぞれのしきい値電圧は所定のしきい値電圧に対して同一方向にばらつく。そこでいま、たとえばMOS FET 1 4のしきい値電圧が高い方にばらつき、この結果、そのオン抵抗が所定値よりも高くなつたとすると、MOS FET 2 2のしきい値電圧も高い方にばらつき、前記(1)式で表わされるバイアス発生回路2 4からのバイアス電圧は高くなる。するとMOS FET 1 4の実質的なしきい値電圧は下げられるため、このMOS FET 1 4のオン抵抗は下げられる。

一方、上記とは逆に、MOS FET 1 4のしきい値電圧が低い方にばらつき、そのオン抵抗が所定値よりも低くなつた場合(増幅回路にとつてオン抵抗が低くなることは好ましいことではあるが)、MOS FET 2 2のしきい値電圧も低い方向にばらつき、前記(1)式で表わされるバイアス発生回路2 4からのバイアス電圧は低くなる。したがつて、この場合、MOS FET 1 4の実質的なしきい値電圧は上げられるため、このMOS FET 1 4のオン抵抗は上げられる。すなわち、バイアス発生回路2 4からのバイアス電圧をMOS FET 1 4のバックゲート電極に供給することにより、MOS FET 1 4のオン抵抗をほぼ常に一定値に近づけることができ、特にしきい値電圧が高くなつた場合のMOS FET 1 4のオン抵抗の上昇を防止することができる。

第4図は上記実施例回路における、MOS FET 1 4とバイアス発生回路2 4の部分の具体的な素子構造を示す断面図である。図においてN型の半導体基板1 0 1に二つのPウェル領域1 0 2, 1 0 3が形成され、この一方のPウェル領域1 0 2内にはMOS FET 1 4のソース、ドレインとなる一対のN<sup>+</sup>型領域1 0 4, 1 0 5と、このPウェル領域1 0 2すなわちMOS FET 1 4のバックゲート電極に対してコンタクトをとるためのP<sup>+</sup>型領域1 0 6が設けられる。さらに他方のPウェル領域1 0 3内には、バイアス発生回路2 4を構成する一方のMOS FET 2 2のソース、ドレインとなる一対のN<sup>+</sup>型領域1 0 7, 1 0 8と、このPウェル領域1 0 3に対してコンタクトをとるためのP<sup>+</sup>型領域1 0 9が設けられ、基板1 0 1にはバイアス発生回路2 4を構成する他方のMOS FET 2 1のソース、ドレインとなる一対のP<sup>+</sup>型領域1 1 0, 1 1 1が設けられる。そ

(5)

特公平3-81324

9

10

して、上記一対のN<sup>+</sup>型領域104, 105上にまたがってMOS FET 14のゲート電極112が設けられ、このゲート電極112には信号Sが供給される。また、上記一対のN<sup>+</sup>型領域107, 108上にまたがってMOS FET 22のゲート電極113が、一対のP<sup>+</sup>型領域110, 111上にまたがってMOS FET 21のゲート電極114がそれぞれ設けられ、この両ゲート電極113, 114は共にバイアス電圧出力端23に接続される。さらにこの出力端23には前記N<sup>+</sup>型領域107、前記P<sup>+</sup>型領域110が接続され、出力端23は前記P<sup>+</sup>型領域106に接続される。前記P<sup>+</sup>型領域111は電源電圧V<sub>DD</sub>印加点に接続され、前記N<sup>+</sup>型領域108および前記P<sup>+</sup>型領域109は接地電圧V<sub>SS</sub>印加点に接続される。

第5図は前記第2図に示す特性図の場合と同様に、MOSスイッチとなるNチャネルMOS FET 14のチャネル幅Wとチャネル長Lとの比W/Lをマスク上で6/7に設定し、そのゲート電極に5.0Vの電圧を供給し、かつバイアス発生回路24内のPチャネルMOS FET 21のW/Lをマスク上で6/42に、NチャネルMOS FET 22のW/Lをマスク上で35/7にそれぞれ設定してMOS FET 14のバックゲート電極に供給されるバイアス電圧が約1.2V~1.5Vとなるようにした場合の、入力電圧対オン抵抗の特性図である。第5図から明らかなように、入力電圧が2.5VでかつMOS FET 14のしきい値電圧V<sub>th</sub>が0.7V、1.0V、1.3Vの時それぞれ15kΩ、18kΩ、25kΩのオン抵抗値となっている。これらの値は、前記第2図の場合の19kΩ、28kΩ、65kΩに比較して大幅に低減化されていることは著明である。また、MOS FET 14のしきい値電圧が製造プロセス上ばらついた場合でも、オン抵抗のばらつきは従来に比較して大幅に改善されている。また、この第5図におけるオン抵抗の値は前記バイアス電圧が1.2V~1.5Vの場合であるが、前記バイアス発生回路24内のP, N両チャネルのMOS FET 21, 22の素子寸法の設定を変更することによって、たとえば2.0V~2.5Vに上昇させることもできる。そして、このバイアス電圧を高めることによって、上記MOS FET 14のオン抵抗をさらに低下させることができるとともに、しきい値電圧のばらつきに対してもその影響をより

小さくすることができるが、前記したようにこのバイアス電圧の値は消費電流を考慮して決定されるべきである。

第6図ないし第8図はそれぞれこの発明の他の実施例を示すものであり、前記バイアス発生回路24の他の例の構成図である。第6図に示すものはV<sub>DD</sub>印加点とバイアス電圧出力端23との間に定電流源回路31を接続し、またバイアス電圧出力端23とV<sub>SS</sub>印加点との間に抵抗32と前記MOS FET 14と同一チャネル、すなわちNチャネルMOS FET 33のドレイン、ソース間を直列接続し、さらにこのMOS FET 33のゲート電極をバイアス電圧出力端23に接続するようにしたものである。このような構成でなるバイアス発生回路では、定電流源回路31の出力電流I、抵抗32の抵抗値RおよびMOS FETの素子寸法それぞれに応じた、V<sub>DD</sub>とV<sub>SS</sub>の間の値を持つバイアス電圧が出力される。また、この回路において抵抗32が存在しないと仮定し、MOS FET 33のしきい値電圧をV<sub>th33</sub>、バイアス電圧をV<sub>0</sub>とすると、I, V<sub>th33</sub>, V<sub>0</sub>間には次のような比例式が成立する。

$$I \propto K(V_0 - V_{th33})^2 \quad \dots\dots(4)$$

K: 比例定数

上記(4)式は、MOS FET 33のしきい値電圧V<sub>th33</sub>が高くなるとバイアス電圧V<sub>0</sub>も高くなり、これとは反対にV<sub>th33</sub>が低くなるとV<sub>0</sub>も低くなること示している。したがって、このバイアス発生回路からのバイアス電圧を用いても、第3図回路内のバイアス発生回路24の時と同様に、製造プロセス上のしきい値電圧のばらつきに対してMOS FET 14のオン抵抗をほぼ一定値に近づけることができる。なお、抵抗32はMOS FET 33のドレイン、ソース間電圧に一定の電圧を加算せしめたバイアス電圧V<sub>0</sub>を得るために設けられている。

第7図に示す回路はV<sub>DD</sub>印加点とバイアス電圧出力端23との間に負荷抵抗41を接続し、またバイアス電圧出力端23とV<sub>SS</sub>印加点との間に前記MOS FET 14と同一チャネルの、すなわちNチャネルMOS FET 42のドレイン、ソース間を接続し、さらにこのMOS FET 42のゲート電極をバイアス電圧出力端23に接続するようにしたものである。このような構成でなるバイア

11

ス発生回路では、負荷抵抗41の抵抗値とMOS FET 42の素子寸法に応じた、 $V_{DD}$ と $V_{SS}$ との間の値を持つバイアス電圧が出力される。また、この回路において、出力されるバイアス電圧を $V_o'$ 、MOS FET 42のしきい値電圧を $V_{th42}$ とすると $V_o'$ と $V_{th42}$ の間には次のような比例式が成立する。

$$V_o' \propto \frac{1}{K'} V_{th42} \quad \text{.....(5)}$$

$K'$ : 比例定数

上記(5)式は、MOS FET 42のしきい値電圧 $V_{th42}$ とバイアス電圧 $V_o'$ とが比例していることを表わすものであり、したがって、この回路を用いても、製造プロセス上のしきい値電圧のばらつきに対してMOS FET 14のオン抵抗をほぼ一定値に近づけることができる。

ところで、上記第6図および第7図に示すバイアス発生回路ではいずれの場合でも、出力されるバイアス電圧はNチャネルMOS FET 33または42のしきい値電圧に応じて変化するものであったが、MOS FET 14のしきい値電圧のばらつきを考慮せず、そのオン抵抗が単に低くなればよいような場合には、第8図に示すようなバイアス発生回路も使用可能である。すなわち、第8図に示す回路は、 $V_{DD}$ 印加点と $V_{SS}$ 印加点との間に2個の抵抗51、52を直列接続して、その直列接続点であるバイアス電圧出力端23から上記2個の抵抗51、52の抵抗比に応じて分割された一定バイアス電圧を得るようにしたものである。したがって、この回路で得られるバイアス電圧を前記MOS FET 14のバックゲート電極に供給することにより、MOS FET 14のオン抵抗を従来よりも十分に低い値とすることができる。

第9図はこの発明の応用例回路の構成図である。この回路は信号反転増幅用のC-MOSインバータ61、62、63それぞれ、これら各インバータの入出力端間を短絡して動作点を設定するためのNチャネルMOS FET 64、65、66それぞれおよび結合容量67、68、69それぞれからなる増幅回路71、72、73をカスケード接続して、全体として高いゲインを持つ増幅回路を構成するようにしたものである。また、上記増幅回路のうち、初段の増幅回路71内のMOS FET 64のバックゲート電極には、C-MOSイ

(6)

特公平3-81324

12

ンバータの入出力端間を短絡して構成されるバイアス発生回路74からのバイアス電圧 $V_{o1}$ が供給され、中間段の増幅回路72内のMOS FET 65のバックゲート電極には、同じくC-MOSインバータの入出力端間を短絡して構成されるバイアス発生回路75からのバイアス電圧 $V_{o2}$ が供給され、さらに終段の増幅回路73内のMOS FET 66のバックゲート電極には、同じくC-MOSインバータの入出力端間を短絡して構成されるバイアス発生回路76からのバイアス電圧 $V_{o3}$ が供給される。そして、各C-MOSインバータ61、62、63および各バイアス発生回路74、75、76に供給される電源電圧 $V_{DD}$ がたとえば5.0Vの場合に、上記バイアス電圧 $V_{o1}$ 、 $V_{o2}$ 、 $V_{o3}$ として2.0V～2.5V、1.5V～2.0V、1.2V～1.5Vがそれぞれ得られるように各バイアス発生回路74、75、76内の素子寸法比が設定される。なお、MOS FET 64、65、66のゲート電極には制御信号Sが共通に供給される。このような構成でなる回路では、入力信号INに近い側の増幅回路ほど小さい電圧の信号を取り扱うため、それだけ動作点設定用のMOS FETのオン抵抗値を小さくして動作速度を高める必要がある。このため、入力信号INに最も近い初段の増幅回路71内のMOS FET 64のバックゲート電極に最も高いバイアス電圧を供給するようにして、全体として高速でしかもオフセットレズ特性を有する電圧比較回路が構成可能な増幅回路としている。

なお、この発明は上記実施例に限定されるものではなく、たとえば第3図において、C-MOSインバータ13の入出力端間を接続するMOSスイッチはNチャネルMOS FET 14である場合について説明したが、これはPチャネルMOS FETを用いてもよく、Pチャネルのものを用いる場合には前記各バイアス発生回路の電源電圧 $V_{DD}$ と接地電圧 $V_{SS}$ との関係を逆にする必要がある。また、さらにSOS CMOSプロセスを用いるならば、第10図に示すように、MOSスイッチとしてNチャネルMOS FET 81とPチャネルMOSFET 82を並列接続したMOSスイッチを用いることもでき、この場合のバイアス発生回路としてたとえば入出力端間が短絡されたC-MOSインバータを用いるならば図示の如き構成とな

(7)

特公平3-81324

13

る。すなわち、NチャネルMOS FET 81のバックゲート電極にバイアス電圧をあたえるためのバイアス発生回路83は、 $V_{DD}$ 印加点と $V_{SS}$ 印加点との間にPチャネルMOS FET 84とNチャネルMOS FET 85が直列接続され、かつ両ゲート電極がそのドレイン共通接続点に接続される如き構成となる。他方、PチャネルMOS FET 82のバックゲート電極にバイアス電圧を与えるためのバイアス発生回路86は、 $V_{SS}$ 印加点と $V_{DD}$ 印加点との間にPチャネルMOS FET 87とNチャネルMOS FET 88が直列接続され、かつ両ゲート電極がそのドレイン共通接続点に接続される如き構成となる。

前記した実施例または応用例は、いずれの場合でもこの発明をアナログ-デジタル変換回路の電圧比較回路に適用したものであったが、次にこの発明をスイッチド・キャパシタ積分回路に応用した例について説明する。

第11図は従来技術によるスイッチド・キャパシタ積分回路の回路構成図である。すなわち、この回路は $\phi_1$ のタイミングでMOS FET 201をオンさせて、入力信号INにより容量202に電荷を充電し、次に $\phi_2$ のタイミングでMOS FET 203をオンさせて容量202の放電を行なう。つまり、二つのMOS FET 201、203は抵抗素子として働き、この抵抗素子を通った信号が容量204および演算増幅器205からなる回路で積分されるものであり、その詳細な動作は「J. T. Caves et al : Sampled Analog Filtering Using Switched Capacitors as Resistor Equivalents, IEEE J of Solid - State - Circuits, vol.SC-12, No 6, Dec.1977, p592~p599」を参照されたい。

この積分回路において抵抗素子として働く二つのMOS FET 201、203では、その抵抗が問題となってくる。すなわち、一般にオン抵抗が大きくなると、積分回路の容量比の減少を意味し、特性が劣化してくる。そこで二つのMOS FET 201、203の素子寸法は大きい程望ましいわけであるが、前記電圧比較回路の場合と同様に、MOS FET特有のゲート・ソース間、ゲート・ドレイン間の寄生容量によるクロック信号のフィードスルーによる悪影響があるため、MOS FET 201、203の寸法を小さくせざるを得ない。

そこで第12図に示すように、上記従来のスイッチド・キャパシタ積分回路にこの発明を応用して、MOS FET 201のバックゲート電極にPチャネルMOS FET 206およびNチャネルMOS FET 207からなるバイアス発生回路208で得られるバイアス電圧 $V_{B1}$ を供給し、またMOS FET 205のバックゲート電極にPチャネルMOS FET 209およびNチャネルMOS FET 210からなるバイアス発生回路211で得られるバイアス電圧 $V_{B2}$ を供給することによって、MOS FET 201、205のオン抵抗を小さくするようにしたものであり、 $\phi_1$ 、 $\phi_2$ の切換期間内に電荷の充放電は完了される。また、MOS FET 201、205の素子寸法は最小にでき、この結果、フィールドスルーの影響は最小限におさえることが可能となり、高集積化を実現できる。

〔発明の効果〕

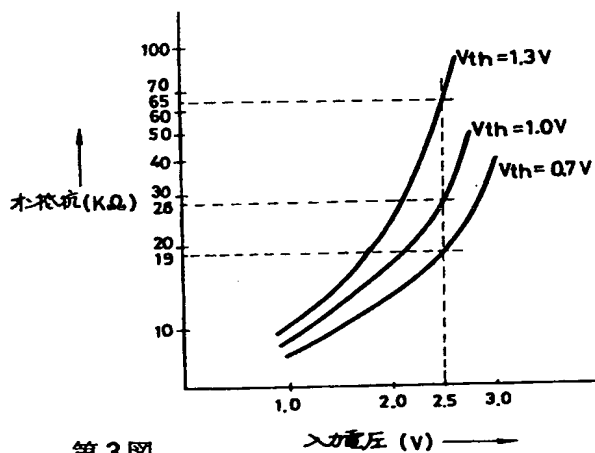
以上説明したようにこの発明によれば、反転増幅手段の動作点設定を速やかに行なうことができ、もって高速動作が可能な増幅回路を提供することができる。

図面の簡単な説明

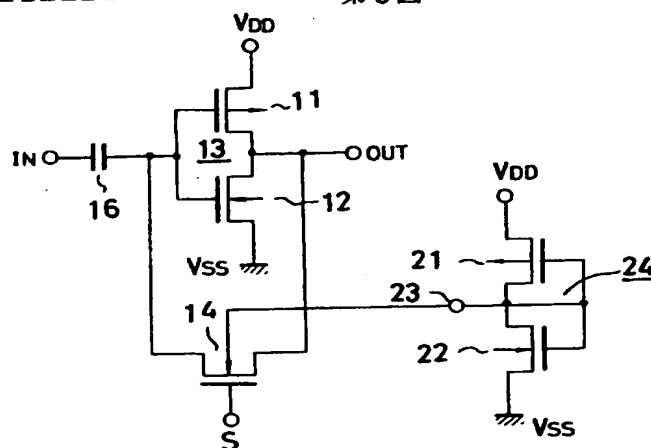
第1図は従来の増幅回路の構成図、第2図はMOS FETをMOSスイッチとして用いた時のその特性図、第3図はこの発明の一実施例の構成図、第4図はその一部分の素子構造を具体的に示す断面図、第5図は上記実施例回路内のMOSスイッチの特性図、第6図ないし第8図はそれぞれこの発明の他の実施例に係るバイアス発生回路の構成図、第9図はこの発明の応用例の構成図、第10図はこの発明の変形例の構成図、第11図は従来のスイッチド・キャパシタ積分回路の構成図、第12図はこの発明をスイッチド・キャパシタ積分回路に応用した応用例の構成図である。

11、21、82、84、87……PチャネルMOS FET、12、14、22、33、42、64、65、66、81、85、88……NチャネルMOS FET、13、61、62、63……C-MOSインバータ、16、67、68、69……結合容量、24、74、75、76、83、86……バイアス発生回路、31……定電流源回路、32、51、52……抵抗、41……負荷抵抗。

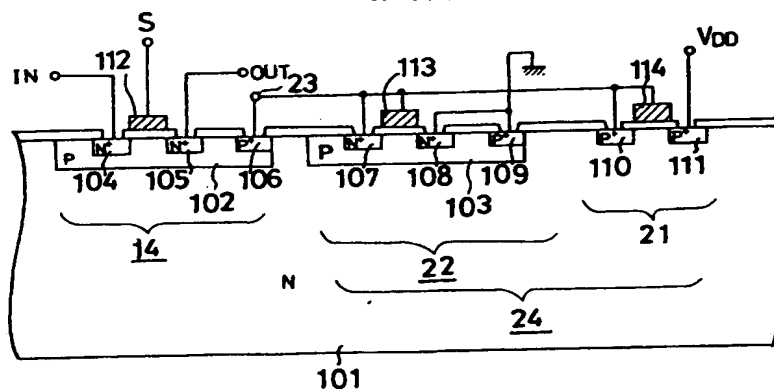
第2図



第 3 図



第4図

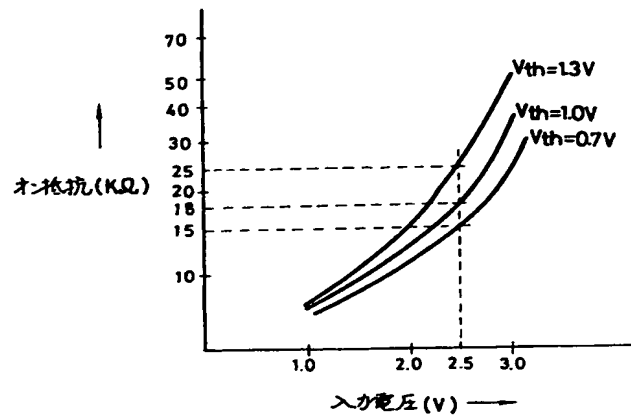




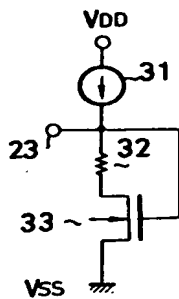
(9)

特公 平 3-81324

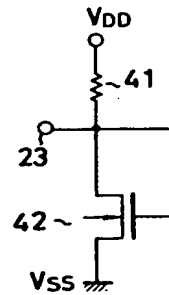
第 5 图



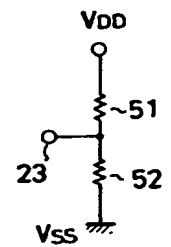
第 6 图



第 7 图



第 8 图



第 9 图

